

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-239678

(43)公開日 平成10年(1998)9月11日

(51) Int.Cl.<sup>6</sup>  
G 0 2 F 1/1335 5 0 0  
G 0 2 B 5/00  
G 0 2 F 1/1343  
1/136 5 0 0

F I  
G 0 2 F 1/1335 5 0 0  
G 0 2 B 5/00 B  
G 0 2 F 1/1343  
1/136 5 0 0

審査請求 未請求 請求項の数7 O.L (全6頁)

(21)出願番号 特願平9-40803

(22)出願日 平成9年(1997)2月25日

(71)出願人 595059056  
株式会社アドバンスト・ディスプレイ

熊本県菊池郡西合志町御代志997番地

(72)発明者 中川 直紀  
熊本県菊池郡西合志町御代志997番地 株  
式会社アドバンスト・ディスプレイ内

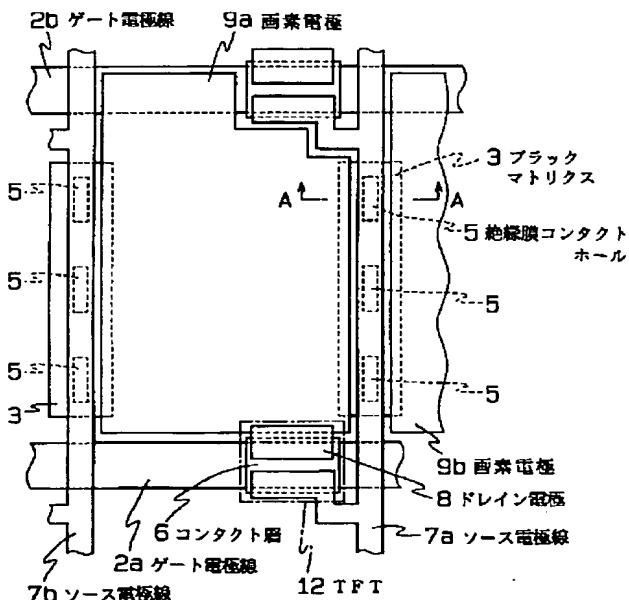
(74)代理人 弁理士 朝日奈 宗太 (外1名)

(54)【発明の名称】薄膜トランジスタアレイ基板

(57)【要約】

【課題】表示品質の低下なく、高開口率を有する液晶表示装置をうることができるTFTアレイ基板を提供する。

【解決手段】絶縁性基板と、該絶縁性基板上に並設された複数のゲート電極線2a、2bと、ゲート絶縁膜と、ゲート電極線に交差する複数のソース電極線7a、7bと、ゲート電極線とソース電極線との交差部に設けられるTFT12と、該TFTのドレイン電極8に接続される画素電極9a、9bと、ゲート絶縁膜を挟んで画素電極と対向することにより保持容量を形成するブラックマトリクス3とからなるTFTアレイ基板であって、ブラックマトリクスが、絶縁性基板上であって、かつ、画素電極周辺部およびソース電極線の下方に形成されており、ゲート絶縁膜に形成された絶縁膜コンタクトホール5によって、ブラックマトリクスがソース電極線に接続される。



### 【特許請求の範囲】

【請求項1】 透明な絶縁性基板と、該絶縁性基板上に並設された複数のゲート電極線と、該ゲート電極線を覆うゲート絶縁膜と、前記ゲート電極線に前記ゲート絶縁膜を介して交差する複数のソース電極線と、前記ゲート電極線および前記ソース電極線の交差部に設けられる薄膜トランジスタと、該薄膜トランジスタのドレイン電極に接続される透明導電膜からなる画素電極と、前記ゲート絶縁膜を挟んで前記画素電極と対向することにより保持容量を形成する保持容量電極とからなる薄膜トランジスタアレイ基板であって、前記絶縁性基板上であって、かつ、前記画素電極周辺部および前記ソース電極線の下方に、前記ゲート電極線と同じ材料を用いて形成されるブラックマトリクスを有しており、前記ゲート絶縁膜に形成されたコンタクトホールによって、前記ブラックマトリクスが前記ソース電極線に接続される薄膜トランジスタアレイ基板。

【請求項2】 前記ブラックマトリクスが前記ソース電極線の機能を有している請求項1記載の薄膜トランジスタアレイ基板。

【請求項3】 前記画素電極下部に保護膜が形成される請求項1記載の薄膜トランジスタアレイ基板。

【請求項4】 前記ブラックマトリクスが、クロム、モリブデン、アルミニウム、タンタル、タングステンおよびチタンのうちの1つからなる請求項1記載の薄膜トランジスタアレイ基板。

【請求項5】 前記ブラックマトリクスがクロムからなる請求項4記載の薄膜トランジスタアレイ基板。

【請求項6】 前記ソース電極線が、クロム、モリブデン、タンタル、チタンおよびアルミニウムのうちの1つからなる単層膜、ならびにそれら金属のうちの少なくとも2つからなる多層膜のうちの一方からなる請求項1記載の薄膜トランジスタアレイ基板。

【請求項7】 前記ソース電極線がモリブデンからなる請求項6記載の薄膜トランジスタアレイ基板。

### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、液晶表示装置に用いる薄膜トランジスタアレイ基板に関するものである。

#### 【0002】

【従来の技術】液晶表示装置は、通常、薄膜トランジスタ（以下、TFTという）などが設けられた薄膜トランジスタアレイ基板（以下、TFTアレイ基板という）と、カラーフィルター、ブラックマトリクスおよび対向電極が設けられた対向基板と、前記TFTアレイ基板および前記対向基板間に挟持された液晶などの表示材料の層（以下、液晶層という）とからなり、該液晶層に選択的に電圧が印加されることにより、マトリクス状に配置された複数の画素の駆動を選択的に制御できる。

【0003】前記対向基板に形成されるブラックマトリ

クスには、液晶層に正常に電圧が印加されていない領域からの光の透過や、TFT部への外部からの光の入射を防ぐため形成されるものである。一般的に、TFTアレイ基板と対向基板との重ね合わせ制度が数 $\mu\text{m}$ と大きいため、ブラックマトリクスが画素の開口率を著しく低下させるという問題があった。

【0004】かかる問題を解決するために、TFTアレイ基板側に形成された保持容量電極線をブラックマトリクスとして用いるばあいがある。図5は従来のTFTアレイ基板の一例を示す平面説明図である。図6は図5のC-C線断面説明図である。

【0005】また、画素の開口率をより一層高くするために、ソース信号線をブラックマトリクスとして用いるばあいがある。図7は従来のTFTアレイ基板の他の例を示す平面説明図である。図8は図7のD-D線断面説明図である。

【0006】図5～8において、1は透明な絶縁性基板、2はゲート電極線、4はゲート絶縁膜、6はコンタクト層、7a、7bはソース電極線、8はドレイン電極、9a、9bは画素電極、10は保護膜、11は、保護膜10に形成されるコンタクトホール（以下、保護膜コンタクトホールという）、12はTFT、13は保持容量電極線を示す。なお、図5および図7には、一画素分のTFTアレイ基板およびその周辺部が示されており、絶縁性基板1、ゲート絶縁膜4および保護膜10は図示されていない。

【0007】一般的に、TFTは、ゲート電極と、ゲート電極を覆うゲート絶縁膜と、ゲート電極上方に設けられる半導体層と、半導体層上に互いに離して設けられるドレイン電極およびソース電極とからなる。図5に示されるTFTは、前記ゲート電極がゲート電極線2の一部からなり、前記半導体層がノンドープアモルファスシリコン層（図示せず）とコンタクト層6とからなり、前記ソース電極がソース電極線7aの一部からなる。

【0008】つぎに、図5および図6に示されるTFTアレイ基板の製法について説明する。

【0009】まず、絶縁性基板1上に、ゲート電極線2、およびのちに形成される画素電極9a、9bとソース電極線7a、7bとの間隙を遮光するブラックマトリクスの機能を併せもつ保持容量電極線13を同一の金属材料を用いて形成する。さらに、ゲート絶縁膜4、ノンドープアモルファスシリコン層およびリンドープアモルファスシリコンからなるコンタクト層6を形成する。そして、コンタクト層6およびノンドープアモルファスシリコン層をアイランド状にパターニングする。さらに、画素電極9a、9bを透明性電極膜を用いて形成したのち、ソース電極線7a、7bおよびドレイン電極8を形成する。最後に保護膜10を形成してTFTアレイ基板を作製する。

【0010】つぎに、図7および図8に示されるTFT

**【特許請求の範囲】**

**【請求項1】** 透明な絶縁性基板と、該絶縁性基板上に並設された複数のゲート電極線と、該ゲート電極線を覆うゲート絶縁膜と、前記ゲート電極線に前記ゲート絶縁膜を介して交差する複数のソース電極線と、前記ゲート電極線および前記ソース電極線の交差部に設けられる薄膜トランジスタと、該薄膜トランジスタのドレイン電極に接続される透明導電膜からなる画素電極と、前記ゲート絶縁膜を挟んで前記画素電極と対向することにより保持容量を形成する保持容量電極とからなる薄膜トランジスタアレイ基板であって、前記絶縁性基板上であって、かつ、前記画素電極周辺部および前記ソース電極線の下方に、前記ゲート電極線と同じ材料を用いて形成されるブラックマトリクスを有しており、前記ゲート絶縁膜に形成されたコンタクトホールによって、前記ブラックマトリクスが前記ソース電極線に接続される薄膜トランジスタアレイ基板。

**【請求項2】** 前記ブラックマトリクスが前記ソース電極線の機能を有している請求項1記載の薄膜トランジスタアレイ基板。

**【請求項3】** 前記画素電極下部に保護膜が形成される請求項1記載の薄膜トランジスタアレイ基板。

**【請求項4】** 前記ブラックマトリクスが、クロム、モリブデン、アルミニウム、タンタル、タングステンおよびチタンのうちの1つからなる請求項1記載の薄膜トランジスタアレイ基板。

**【請求項5】** 前記ブラックマトリクスがクロムからなる請求項4記載の薄膜トランジスタアレイ基板。

**【請求項6】** 前記ソース電極線が、クロム、モリブデン、タンタル、チタンおよびアルミニウムのうちの1つからなる単層膜、ならびにそれら金属のうちの少なくとも2つからなる多層膜のうちの一方からなる請求項1記載の薄膜トランジスタアレイ基板。

**【請求項7】** 前記ソース電極線がモリブデンからなる請求項6記載の薄膜トランジスタアレイ基板。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】** 本発明は、液晶表示装置に用いる薄膜トランジスタアレイ基板に関するものである。

**【0002】**

**【従来の技術】** 液晶表示装置は、通常、薄膜トランジスタ（以下、TFTという）などが設けられた薄膜トランジスタアレイ基板（以下、TFTアレイ基板という）と、カラーフィルター、ブラックマトリクスおよび対向電極が設けられた対向基板と、前記TFTアレイ基板および前記対向基板間に挟持された液晶などの表示材料の層（以下、液晶層という）とからなり、該液晶層に選択的に電圧が印加されることにより、マトリクス状に配置された複数の画素の駆動を選択的に制御できる。

**【0003】** 前記対向基板に形成されるブラックマトリ

クスには、液晶層に正常に電圧が印加されていない領域からの光の透過や、TFT部への外部からの光の入射を防ぐため形成されるものである。一般的に、TFTアレイ基板と対向基板との重ね合わせ制度が数μmと大きいため、ブラックマトリクスが画素の開口率を著しく低下させるという問題があった。

**【0004】**かかる問題を解決するために、TFTアレイ基板側に形成された保持容量電極線をブラックマトリクスとして用いるばあいがある。図5は従来のTFTアレイ基板の一例を示す平面説明図である。図6は図5のC-C線断面説明図である。

**【0005】**また、画素の開口率をより一層高くするために、ソース信号線をブラックマトリクスとして用いるばあいがある。図7は従来のTFTアレイ基板の他の例を示す平面説明図である。図8は図7のD-D線断面説明図である。

**【0006】** 図5～8において、1は透明な絶縁性基板、2はゲート電極線、4はゲート絶縁膜、6はコンタクト層、7a、7bはソース電極線、8はドレイン電極、9a、9bは画素電極、10は保護膜、11は、保護膜10に形成されるコンタクトホール（以下、保護膜コンタクトホールという）、12はTFT、13は保持容量電極線を示す。なお、図5および図7には、一画素分のTFTアレイ基板およびその周辺部が示されており、絶縁性基板1、ゲート絶縁膜4および保護膜10は図示されていない。

**【0007】**一般的に、TFTは、ゲート電極と、ゲート電極を覆うゲート絶縁膜と、ゲート電極上方に設けられる半導体層と、半導体層上に互いに離して設けられるドレイン電極およびソース電極とからなる。図5に示されるTFTは、前記ゲート電極がゲート電極線2の一部からなり、前記半導体層がノンドープアモルファスシリコン層（図示せず）とコンタクト層6とからなり、前記ソース電極がソース電極線7aの一部からなる。

**【0008】** つぎに、図5および図6に示されるTFTアレイ基板の製法について説明する。

**【0009】** まず、絶縁性基板1上に、ゲート電極線2、およびのちに形成される画素電極9a、9bとソース電極線7a、7bとの間隙を遮光するブラックマトリクスの機能を併せもつ保持容量電極線13を同一の金属材料を用いて形成する。さらに、ゲート絶縁膜4、ノンドープアモルファスシリコン層およびリンドープアモルファスシリコンからなるコンタクト層6を形成する。そして、コンタクト層6およびノンドープアモルファスシリコン層をアイランド状にパターニングする。さらに、画素電極9a、9bを透明性電極膜を用いて形成したのち、ソース電極線7a、7bおよびドレイン電極8を形成する。最後に保護膜10を形成してTFTアレイ基板を作製する。

**【0010】** つぎに、図7および図8に示されるTFT

アレイ基板の製法について説明する。

【0011】まず、絶縁性基板1上に、ゲート電極線2および保持容量電極線13を形成する。さらに、ゲート絶縁膜4、ノンドープアモルファスシリコン層(図示せず)、およびリンドープアモルファスシリコンからなるコンタクト層6を形成する。そして、コンタクト層6およびアモルファスシリコン層をアイランド状にパターニングする。さらに、ソース電極線7a、7bおよびドレイン電極8を形成する。ついで、保護膜10を形成し、画素電極9a、9bとドレイン電極8とを接続するための保護膜コンタクトホール11を形成する。最後に画素電極9a、9bを透明性導電膜を用いて形成してTFTアレイ基板を作製する。

#### 【0012】

【発明が解決しようとする課題】従来のTFTアレイ基板は、前述のように、高開口率化のために、保持容量電極線がブラックマトリクスを兼用する構造となつてゐる。したがつて、ソース電極線および保持容量電極線間の重なり容量が大きいため、保持容量電極線に入力されるコモン信号の歪みによるクロストークや、ソース電極線に入力されるソース信号の歪みによる輝度傾斜が大きくなり、液晶表示装置の表示特性が劣化するという問題がある。

【0013】また、画素電極とソース電極線とを保護膜を介して重ねてブラックマトリクスを形成するには、画素電極とソース電極線とを層間分離する必要があり、そのため、画素電極とドレイン電極とを接続するための保護膜コンタクトホールが各画素ごとに必要になり、製造工程の歩留りが低下するという問題がある。しかも、ソース電極線と画素電極との重なりにより形成される容量を小さくするために、保護膜の膜厚を大きくしたりする必要があり、生産性の面でも問題がある。

【0014】これらのことばは、大面積でかつ高精細の液晶表示装置を製造するためにTFTアレイ基板を用いるばかりには、とくに、深刻な問題であり、高表示品質化、低コスト化を実現するためには大きな課題となつてゐた。

【0015】本発明は、かかる問題を解決するためになされたもので、輝度ムラ、クロストークなどによる表示品質の低下なしに、高開口率を有する液晶表示装置をうることができるTFTアレイを実現することを目的とする。

#### 【0016】

【課題を解決するための手段】本発明のTFTアレイ基板は、透明な絶縁性基板と、該絶縁性基板上に並設された複数のゲート電極線と、該ゲート電極線を覆うゲート絶縁膜と、前記ゲート電極線に前記ゲート絶縁膜を介して交差する複数のソース電極線と、前記ゲート電極線および前記ソース電極線の交差部に設けられるTFTと、該TFTのドレイン電極に接続される透明導電膜からなる画素電極と、前記ゲート絶縁膜を挟んで前記画素電極と対向することにより保持容量を形成する保持容量電極の機能を有しているブラックマトリクスとからなる。前記ブラックマトリクスは、前記絶縁性基板上であつて、かつ、前記画素電極周辺部および前記ソース電極線の下方に、前記ゲート電極線と同じ材料を用いて形成される。

る画素電極と、前記ゲート絶縁膜を挟んで前記画素電極と対向することにより保持容量を形成する保持容量電極とからなるTFTアレイ基板であつて、前記絶縁性基板上であつて、かつ、前記画素電極周辺部および前記ソース電極線の下方に、前記ゲート電極線と同じ材料を用いて形成されるブラックマトリクスを有しており、前記ゲート絶縁膜に形成されたコンタクトホールによって、前記ブラックマトリクスが前記ソース電極線に接続されるものである。

【0017】また、前記ブラックマトリクスが前記ソース電極線の機能を有しているものである。

【0018】また、前記画素電極下部に保護膜が形成されてなるものである。

【0019】また、前記ブラックマトリクスが、クロム、モリブデン、アルミニウム、タンタル、タングステンおよびチタンのうちの1つからなるものである。

【0020】また、前記ブラックマトリクスがクロムからなるものである。

【0021】また、前記ソース電極線が、クロム、モリブデン、タンタル、チタンおよびアルミニウムのうちの1つからなる単層膜、ならびにそれら金属のうちの少なくとも2つからなる多層膜のうちの一方からなるものである。

【0022】また、前記ソース電極線がモリブデンからなるものである。

#### 【0023】

【発明の実施の形態】つぎに、図面を参照しながら本発明のTFTアレイ基板について説明する。

【0024】本発明のTFTアレイ基板は、透明な絶縁性基板と、該絶縁性基板上に並設された複数のゲート電極線と、該ゲート電極線を覆うゲート絶縁膜と、前記ゲート電極線に前記ゲート絶縁膜を介して交差する複数のソース電極線と、前記ゲート電極線および前記ソース電極線の交差部に設けられるTFTと、該TFTのドレイン電極に接続される透明導電膜からなる画素電極と、前記ゲート絶縁膜を挟んで前記画素電極と対向することにより保持容量を形成する保持容量電極の機能を有しているブラックマトリクスとからなる。前記ブラックマトリクスは、前記絶縁性基板上であつて、かつ、前記画素電極周辺部および前記ソース電極線の下方に、前記ゲート電極線と同じ材料を用いて形成される。さらに、前記ブラックマトリクスは、前記ゲート絶縁膜に形成されたコンタクトホールによって前記ソース電極線に接続され、ソース電極線の機能を有している。

【0025】実施の形態1. つぎに、本発明のTFTアレイ基板の一実施の形態について説明する。

【0026】図1は本発明のTFTアレイ基板の一実施の形態を示す平面説明図である。図1には、一画素分のTFTアレイ基板およびその周辺部が示されている。また、図2は、図1のA-A線断面説明図である。図1お

より図2において、1は絶縁性基板、2a、2bはゲート電極線、3はブラックマトリクス、4はゲート絶縁膜、5は、ゲート絶縁膜4に形成されるコンタクトホール（以下、絶縁膜コンタクトホールという）、6はコンタクト層、7a、7bはソース電極線、8はドレイン電極、9a、9bは画素電極、10は保護膜、11は保護膜コンタクトホール、12はTFTを示す。

【0027】画素電極9aには、ゲート電極線2aにTFT12をオン状態にする電気信号が入力されたときに、ソース電極線7aに入力されている電気信号がTFT12を介して入力される。

【0028】つぎに、本実施の形態のTFTアレイ基板の製法について説明する。まずははじめに、絶縁性基板1上に、ゲート電極線2a、2bをCrなどからなる単層構造、またはCrおよびAlなどからなる多層構造で形成する。このとき、ゲート電極線2a、2bが形成される箇所を除いて、のちに形成されるソース電極線下部および画素電極周辺下部にブラックマトリクス3を同時に形成する。さらに、ゲート絶縁膜4、ノンドープアモルファスシリコン層（図示せず）およびリンドープアモルファスシリコンからなるコンタクト層6を形成する。そして、コンタクト層6およびノンドープアモルファスシリコン層をアイランド状にパターニングする。さらに、のちに形成されるソース電極線7a、7bと、前記ブラックマトリクス3とを接続するための絶縁膜コンタクトホール5を形成したのち、画素電極9a、9bを形成する。ついで、ソース電極線7a、7bおよびドレイン電極8を形成する。これにより、ブラックマトリクス3はソース電極線7a、7bに接続される。したがって、従来のTFTアレイ基板において問題となっているソース電極線とブラックマトリクスとのあいだの容量は形成されず、ソース信号の遅延が生じることはない。また、ブラックマトリクス3はソース電極線7a、7bの冗長配線の役割を果たす。すなわち、ソース電極線7a、7bで断線が生じたばあいもソース信号はブラックマトリクスを介して伝送される。最後に、保護膜10を形成し、TFTアレイ基板が完成する。ここでは、チャネルエッチ型のTFTを用いてTFTアレイ基板を形成するばかりについて述べたが、チャネル保護型のTFTを用いることも可能である。

【0029】前述のようにして形成されたTFTアレイ基板のブラックマトリクスは、ソース電極線と同電位であり、ソース電極線とのあいだで重なり容量が形成されることはなく、ソース信号を遅延させない。また、前記ブラックマトリクスはソース電極線の冗長配線の役割も果たすため、ソース電極線の断線により生じる液晶表示装置の表示不良を低減できるという効果がある。

【0030】実施の形態2. つぎに、本発明のTFTアレイ基板の他の実施の形態について説明する。

【0031】図3は、本発明のTFTアレイ基板の他の

実施の形態を示す平面説明図である。図3には、一画素分のTFTアレイ基板およびその周辺部が示されている。また、図4は、図3のB-B線断面説明図である。図3および図4において、図1、図2、図5および図6と同一の部分については同じ符号を用いている。

【0032】前述の実施の形態1で示されたTFTアレイ基板と、本実施の形態におけるTFTアレイ基板とのあいだで異なっている点は、保護膜が画素電極の下部に設けかれていることである。

【0033】つぎに、本実施の形態のTFTアレイ基板の製法について説明する。まず、はじめに、絶縁性基板1上にゲート電極線2a、2bをCrなどからなる単層構造、またはCrおよびAlなどからなる多層構造で形成する。このとき、ゲート電極線2a、2bが形成される箇所を除いて、のちに形成されるソース電極線下部および画素電極周辺下部にブラックマトリクス3を同時に形成する。さらに、ゲート絶縁膜4、ノンドープアモルファスシリコン層（図示せず）およびコンタクト層6を形成する。そして、コンタクト層6およびノンドープアモルファスシリコン層をアイランド状にパターニングする。さらに、のちに形成されるソース電極線と、前記ブラックマトリクス3とを接続するための絶縁膜コンタクトホール5を形成する。ついで、ソース電極線7a、7bおよびドレイン電極8を形成する。これにより、ブラックマトリクス3はソース電極線7a、7bに接続される。したがって、ソース電極線7a、7bとブラックマトリクス3とのあいだで容量は形成されず、ソース信号の遅延が生じることはない。また、ブラックマトリクス3はソース電極線7a、7bの冗長配線の役割を果たす。すなわち、ソース電極線7a、7bで断線が生じたばあいもソース信号はブラックマトリクスを介して伝送される。つぎに、保護膜10を成膜し、ドレイン電極8上方に保護膜コンタクトホール11を形成したのち、画素電極9a、9bを形成し、TFTアレイ基板が完成する。ここでは、チャネルエッチ型のTFTを用いてTFTアレイ基板を形成するばかりについて述べたが、チャネル保護型のTFTを用いることも可能である。

【0034】前述のようにして形成されたTFTアレイ基板のブラックマトリクスには、実施の形態1で示されたTFTアレイ基板の効果に加えて、画素電極とブラックマトリクスとのあいだにゲート絶縁膜と保護膜の2層の絶縁膜が形成されるため、画素電極およびソース電極線間に形成される容量を低減でき、ソース信号の電圧の変動により生じる画素電極の電位の変化を抑制でき、液晶表示装置の表示品質を改善できるという効果がある。

【0035】前述の実施の形態1、2において、ブラックマトリクスが、クロム、モリブデン、アルミニウム、タンタル、タンゲステンおよびチタンのうちの1つからなることが好ましく、ゲート電極線と同一の材料を用いて形成される。さらに、ヒルロックなどの発生がなく、

比較的低抵抗である点で、クロムを用いて形成されることが最も好ましい。また、ソース電極線が、クロム、モリブデン、タンタル、チタンおよびアルミニウムのうちの1つからなる単層膜、ならびにそれら金属のうちの少なくとも2つからなる多層膜のうちの一方からなることが好ましい。さらに、ヒルロックが発生せず、低抵抗である点で、モリブデンを用いて形成されることが最も好ましい。

## 【0036】

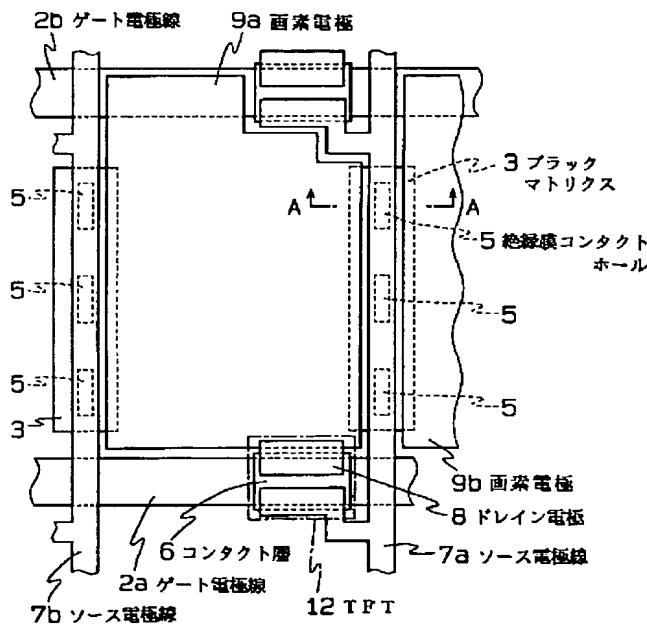
【発明の効果】本発明のTFTアレイ基板によれば、ブラックマトリクスは、ソース電極線と同電位であり、ソース電極線とのあいだで形成される重なり容量によるソース信号の遅延が生じない。また、ブラックマトリクスがソース電極線の冗長配線の役割も果たすため、断線の低減に対しても効果がある。

【0037】さらに、実施の形態2のTFTアレイ基板によれば、画素電極とソース電極線とのあいだにゲート絶縁膜と保護膜との2層の絶縁膜が形成されるため、画素電極およびソース電極線間に形成される容量を低減でき、ソース信号の電圧の変動により生じる画素電極の電位の変化を抑制でき、液晶表示装置の表示品質が改善できる。

## 【図面の簡単な説明】

【図1】本発明のTFTアレイ基板の一実施の形態を示す平面説明図である。

【図1】



す平面説明図である。

【図2】図1のA-A線断面説明図である。

【図3】本発明のTFTアレイ基板の他の実施の形態を示す平面説明図である。

【図4】図3のB-B線断面説明図である。

【図5】従来のTFTアレイ基板の一例を示す平面説明図である。

【図6】図5のC-C線断面説明図である。

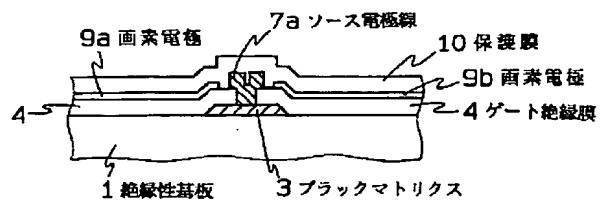
【図7】従来のTFTアレイ基板の他の例を示す平面説明図である。

【図8】図7のD-D線断面説明図である。

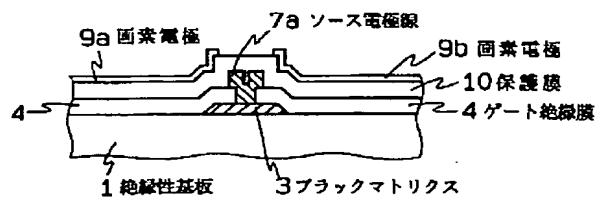
## 【符号の説明】

1	絶縁性基板
2 a, 2 b	ゲート電極線
3	ブラックマトリクス
4	ゲート絶縁膜
5	絶縁膜コンタクトホール
6	コンタクト層
7 a, 7 b	ソース電極線
8	ドレイン電極
9 a, 9 b	画素電極
10	保護膜
11	保護膜コンタクトホール
12	TFT

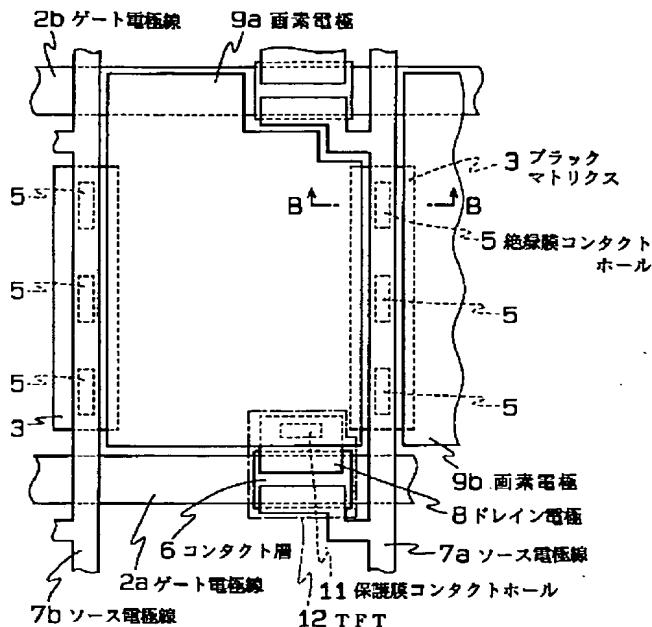
【図2】



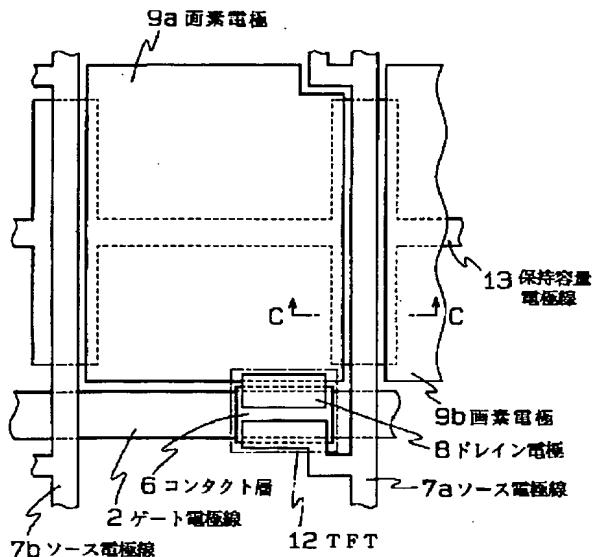
【図4】



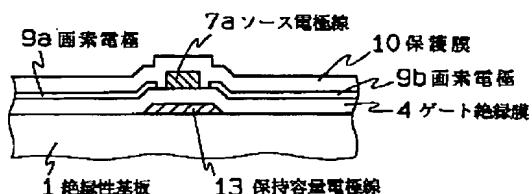
【図3】



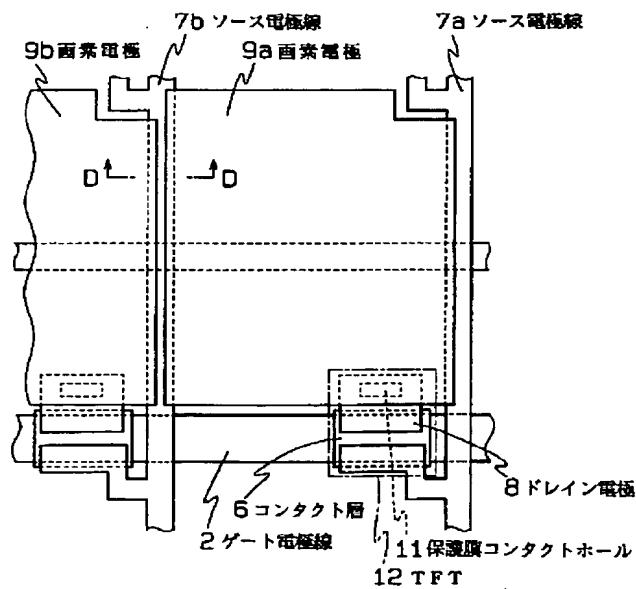
【図5】



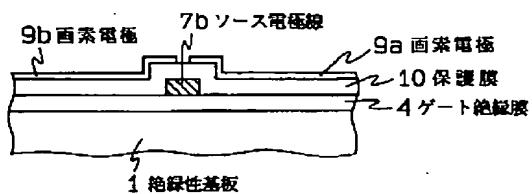
【図6】



【図7】



【図8】



Best Available Copy

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成13年2月9日(2001.2.9)

【公開番号】特開平10-239678

【公開日】平成10年9月11日(1998.9.11)

【年通号数】公開特許公報10-2397

【出願番号】特願平9-40803

【国際特許分類第7版】

G02F 1/1335 500

G02B 5/00

G02F 1/1343

1/136 500

【F I】

G02F 1/1335 500

G02B 5/00 B

G02F 1/1343

1/136 500

【手続補正書】

【提出日】平成11年10月7日(1999.10.7)

7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 透明な絶縁性基板と、該絶縁性基板上に並設された複数のゲート電極線と、該ゲート電極線を覆うゲート絶縁膜と、前記ゲート電極線に前記ゲート絶縁膜を介して交差する複数のソース電極線と、前記ゲート電極線および前記ソース電極線の交差部に設けられる薄膜トランジスタと、該薄膜トランジスタのドレイン電極に接続される透明導電膜からなる画素電極と、前記ゲート絶縁膜を挟んで前記画素電極と対向することにより保持容量を形成する保持容量電極とからなる薄膜トランジスタアレイ基板であって、前記絶縁性基板上であって、かつ、前記画素電極周辺部および前記ソース電極線の下方に、前記ゲート電極線と同じ材料を用いて形成されるブラックマトリクスを有しており、前記ゲート絶縁膜に

形成されたコンタクトホールによって、前記ブラックマトリクスが前記ソース電極線に接続される薄膜トランジスタアレイ基板。

【請求項2】 前記ブラックマトリクスが前記ソース電極線の機能を有している請求項1記載の薄膜トランジスタアレイ基板。

【請求項3】 前記画素電極下部に保護膜が形成される請求項1記載の薄膜トランジスタアレイ基板。

【請求項4】 前記ブラックマトリクスが、クロム、モリブデン、アルミニウム、タンタル、タンクステンおよびチタンのうちの1つからなる請求項1記載の薄膜トランジスタアレイ基板。

【請求項5】 前記ソース電極線が、クロム、モリブデン、タンタル、チタンおよびアルミニウムのうちの1つからなる単層膜、ならびにそれら金属のうちの少なくとも2つからなる多層膜のうちの一方からなる請求項1記載の薄膜トランジスタアレイ基板。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】削除

(19) Japan Patent Office (JP)  
(12) Publication of Patent Application (A)  
(11) Publication Number of Patent Application: 239678/1998  
(43) Date of Publication of Application: September 11, 1998  
(51) Int. Cl.<sup>6</sup>:

G 02 F 1/1335  
G 02 B 5/00  
G 02 F 1/1343  
1/136

Identification Number:

500

500

FI:

G 02 F 1/1335 500  
G 02 B 5/00 B  
G 02 F 1/1343  
1/136 500

Request for Examination: not made

Number of Claims: 7 OL (6 pages in total)

(21) Application Number Hei-9-40803  
(22) Application Date: February 25, 1997  
(71) Applicant: 595059056

ADVANCED DISPLAY K. K.

997, Miyoshi, Nishiaishi-cho, Kikushi-gun  
Kumamoto-ken

(72) Inventor: NAKAGAWA Naoki  
c/o ADVANCED DISPLAY K. K.  
997, Miyoshi, Nishigoumachi, Kikuchi-gun  
Kumamoto-ken

(74) Agent: Patent Attorney, ASAHI NA Souta (Other 1)

(54) [Title of the Invention]

THIN FILM TRANSISTOR ARRAY SUBSTRATE

(57) Abstract

[Problem] To provide a TFT array substrate, which may obtain a liquid crystal display device not causing degradation of display quality and having high aperture ratio.

[Means for Resolution] This TFT array substrate includes: an insulating substrate; a plurality of gate electrode lines 2a, 2b provided parallel on the insulating substrate; a gate insulating film; a plurality of source electrode lines 7a, 7b intersecting the gate electrode lines; a TFT 12 provided in an intersecting part of the gate electrode line and the source electrode line; pixel electrodes 9a, 9b connected to the drain electrode 8 of the TFT; and a black matrix 3 opposite to the pixel electrode with the gate insulating film interposed between them to form a storage capacitor. In the TFT array substrate, the black matrix is formed in the peripheral parts of the pixel electrodes and under the source electrode lines on the insulating

substrate, and the black matrix is connected to the source electrode lines by an insulating film contact hole 5 formed in the gate insulating film.

[Claims]

[Claim 1] A thin film transistor array substrate, comprising: a transparent insulating substrate; a plurality of gate electrode lines arranged parallel on the insulating substrate; a gate insulating film covering the gate electrode lines; a plurality of source electrode lines intersecting the gate electrode lines through the gate insulating films; a thin film transistor provided on the intersecting part of the gate electrode line and the source electrode line; a pixel electrode formed of a transparent conductive film connected to a drain electrode of the thin film transistor; and a storage capacitor electrode opposite to the pixel electrode with the gate insulating film interposed between them to form a storage capacitor, wherein the thin film transistor array substrate includes a black matrix formed of the same material as the gate electrode line in the peripheral parts of the pixel electrodes and under the source electrode lines on the insulating substrate, and the black matrix is connected to the source electrode lines by a contact hole formed in the gate insulating film.

[Claim 2] The thin film transistor array substrate according to claim 1, wherein the black matrix has a function

of the source electrode line.

[Claim 3] The thin film transistor array substrate according to claim 1, wherein an overcoat is formed under the pixel electrode.

[Claim 4] The thin film transistor array substrate according to claim 1, wherein the black matrix is formed of one selected from chrome, molybdenum, aluminum, tantalum, tungsten, and titanium.

[Claim 5] The thin film transistor array substrate according to claim 4, wherein the black matrix is formed of chrome.

[Claim 6] The thin film transistor array substrate according to claim 1, wherein the source electrode line is formed of either a single layer film made of one selected from chrome, molybdenum, tantalum, titanium and aluminum or a multi-layer film made of at least two out of the metals.

[Claim 7] The thin film transistor array substrate according to claim 6, wherein the source electrode line is formed of molybdenum.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Belongs]

This invention relates to a thin film transistor array substrate for use in a liquid crystal display device.

[0002]

[Prior Art]

The liquid crystal display device is generally composed of a thin film transistor array substrate (hereinafter referred to as TFT array) provided with a thin film transistor (hereinafter referred to as TFT), a counter substrate provided with a color filter, a black matrix, and a counter electrode, and a layer made of display material such as liquid crystal (hereinafter referred to as liquid crystal layer) held between the TFT array substrate and the counter substrate, and the voltage is selectively applied to the liquid crystal layer to selectively control the drive of the plurality of pixels arranged in a matrix.

[0003]

The black matrix formed on the counter substrate is formed to prevent transmission of light from an area where the voltage is not normally applied to the liquid crystal layer and incidence of light from the outside to the TFT part. Generally, the overlay accuracy of the TFT array substrate and the counter substrate is large as much as several  $\mu\text{m}$ , resulting in the problem that the black matrix remarkably lowers the aperture ratio of a pixel.

[0004]

In order to solve the problem, the storage capacitor electrode line formed on the TFT array substrate side is used as a black matrix in some cases. Fig. 5 is a plan view showing an example of the conventional TFT array substrate. Fig. 6

is a sectional view taken along line C - C of Fig. 5.

[0005]

In order to further heighten the aperture ratio of the pixel, a source signal line is used as a black matrix in some cases. Fig. 7 is a plan view showing another example of the conventional TFT array substrate. Fig. 8 is a sectional view taken along line D - D of Fig. 7.

[0006]

In Figs. 5 to 8, the reference numeral 1 designates a transparent insulating substrate, 2 a gate electrode line, 4 a gate insulating film, 6 a contact layer, 7a and 7b a source electrode line, 8 a drain electrode, 9a and 9b a pixel electrode, 10 an overcoat, and 11 a contact hole formed in the overcoat 10 (hereinafter referred to as overcoat contact hole), 12 a TFT, and 13 a storage capacitor electrode line. Figs. 5 and 7 show an TFT array substrate for one pixel and its peripheral part, in which the insulating substrate 1, the gate insulating film 4 and the overcoat 10 are not shown.

[0007]

Generally the TFT is composed of a gate electrode, a gate insulating film covering the gate electrode, a semiconductor layer provided above the gate electrode, and a drain electrode and a source electrode, which are provided on the semiconductor layer at a space between them. In the TFT shown in Fig. 5, the gate electrode is formed by a part of the gate electrode

line 2, the semiconductor layer is composed of a non-doped amorphous silicon layer (not shown) and a contact layer 6, and the source electrode is formed by a part of the source electrode line 7a.

[0008]

A method of manufacturing the TFT array substrate shown in Figs. 5 and 6 will now be described.

[0009]

First on the insulating substrate 1, the gate electrode 2 and the storage capacitor electrode line 13 having a function of a black matrix shielding the gaps between the pixel electrodes 9a, 9b and the source electrode lines 7a, 7b formed later are formed using the same metal material. Further, the gate insulating film 4, the non-doped amorphous silicon layer and the contact layer 6 made of phosphorus doped amorphous silicon are formed. The contact layer 6 and the non-doped amorphous silicon layer are patterned like an island. Further, after the pixel electrodes 9a, 9b are formed using an transparent electrode film, the source electrode lines 7a, 7b and the drain electrode 8 are formed. Lastly the overcoat 10 is formed to manufacture the TFT array substrate.

[0010]

The manufacturing method of the TFT array substrate shown in Figs. 7 and 8 will now be described.

[0011]

First the gate electrode line 2 and the storage capacitor electrode line 13 are formed on the insulating substrate 1. Further, the gate insulating film 4, the non-doped amorphous silicon layer (not shown) and the contact layer 6 made of phosphorus doped amorphous silicon are formed. The contact layer 6 and the amorphous silicon layer are patterned like an island. Further, the source electrode lines 7a, 7b and the drain electrode 8 are formed. Subsequently, the overcoat 10 is formed, and an overcoat hole 11 for connecting the pixel electrodes 9a, 9b and the drain electrode 8 is formed. Lastly the pixel electrodes 9a, 9b are formed using the transparent conductive film to manufacture the TFT array substrate.

[0012]

[Problems that the Invention is to Solve]

In the conventional TFT array substrate, as described above, in order to heighten the aperture ratio, the storage capacitor electrode line also serves as a black matrix. Consequently, the overlap capacity between the source electrode line and the storage capacitor electrode line is large so that crosstalk is caused by distortion of a common signal input to the storage capacitor electrode line or the luminance gradient due to distortion of a source signal input to the source electrode line is large, resulting in the problem of deteriorating the display characteristic of the liquid crystal display device.

[0013]

In superposing the pixel electrode and the source electrode line one on the other through an overcoat to form a black matrix, interlayer separation between the pixel electrode and the source electrode line is needed, so that an overcoat contact hole for connecting the pixel electrode and the drain electrode to each other is required in every pixel, resulting in the problem of lowering the yield of a manufacturing process. Further, in order to minimize the capacity formed by the overlap of the source electrode line and the pixel electrode, it is necessary to make the film thickness of the overcoat large, which causes the problem in respect of productivity.

[0014]

These are serious problems especially in the case of using the TFT array substrate for manufacturing a large-area and high-precise liquid crystal display device, and it is a large problem for realizing high display quality and reduction in cost.

[0015]

This invention has been made to solve the problems, and it is an object of the invention to realize a TFT array substrate, which may obtain a liquid crystal display device having a high aperture ratio without deterioration of display quality due to uneven luminance and crosstalk.

[0016]

[Means for Solving the Problems]

This invention provides a TFT array substrate including: a transparent insulating substrate; a plurality of gate electrode lines arranged parallel on the insulating substrate; a gate insulating film covering the gate electrode lines; a plurality of source electrode lines intersecting the gate electrode lines through the gate insulating films; a thin film transistor provided on the intersecting part of the gate electrode line and the source electrode line; a pixel electrode formed of a transparent conductive film connected to a drain electrode of the thin film transistor; and a storage capacitor electrode opposite to the pixel electrode with the gate insulating film interposed between them to form a storage capacitor, wherein the thin film transistor array substrate has a black matrix formed of the same material as the gate electrode line in the peripheral parts of the pixel electrodes and under the source electrode lines on the insulating substrate, and the black matrix is connected to the source electrode lines by a contact hole formed in the gate insulating film.

[0017]

The black matrix has a function of the source electrode line.

[0018]

An overcoat is formed under the pixel electrode.

[0019]

The black matrix is formed of one selected from chrome, molybdenum, aluminum, tantalum, tungsten, and titanium.

[0020]

The black matrix is formed of chrome.

[0021]

The source electrode line is formed of either a single layer film made of one selected from chrome, molybdenum, tantalum, titanium and aluminum or a multi-layer film made of at least two out of the metals.

[0022]

The source electrode line is formed of molybdenum.

[0023]

[Mode for Carrying Out the Invention]

The TFT array substrate of the invention will now be described with reference to the drawings.

[0024]

The TFT array substrate of the invention includes: a transparent insulating substrate; a plurality of gate electrode lines arranged parallel on the insulating substrate; a gate insulating film covering the gate electrode lines; a plurality of source electrode lines intersecting the gate electrode lines through the gate insulating films; a thin film transistor provided on the intersecting part of the gate electrode line and the source electrode line; a pixel electrode formed of a transparent conductive film connected to a drain electrode of

the thin film transistor; and a black matrix having a function of a storage capacitor electrode opposite to the pixel electrode with the gate insulating film interposed between them to form a storage capacitor. The black matrix is formed of the same material as the gate electrode line in the peripheral parts of the pixel electrodes and under the source electrode lines on the insulating substrate. The black matrix is connected to the source electrode lines by a contact hole formed in the gate insulating film to have a function of the source electrode line.

[0025]

Embodiment 1. One embodiment of a TFT array substrate according to the invention will now be described.

[0026]

Fig. 1 is a plan view showing one embodiment of a TFT array substrate according to the invention. Fig. 1 shows the TFT array substrate for one pixel and its peripheral part. Fig. 2 is a sectional view taken along line A - A of Fig. 1. In Fig. 1 and Fig. 2, the reference numeral 1 designates an insulating substrate, 2a and 2b a gate electrode line, 3 a black matrix, 4 a gate insulating film, 5 a contact hole formed in the gate insulating film 4 (hereinafter referred to as contact hole), 6 a contact layer, 7a and 7b a source electrode line, 8 a drain electrode, 9a and 9b a pixel electrode, 10 an overcoat film, 11 an overcoat contact hole, and 12 a TFT.

[0027]

When an electric signal for putting the TFT 12 in the on state is input to the gate electrode line 2a, the electric signal input to the source electrode line 7a is input through the TFT 12 to the pixel electrode 9a.

[0028]

A method of manufacturing the TFT array substrate of the present embodiment will now be described. First the gate electrode lines 2a, 2b having a single layer structure of Cr or a multi-layer structure of Cr and Al are formed on the insulating substrate 1. At the time, the black matrix 3 is simultaneously formed below the source electrode line and the peripheral part of the pixel electrode formed later except the part where the gate electrode lines 2a, 2b are formed. Further, the gate insulating film 4, the non-doped amorphous silicon layer (not shown) and the contact layer 6 made of phosphorus doped amorphous silicon are formed. The contact layer 6 and the non-doped amorphous silicon layer are patterned like an island. Further, after the insulating film contact hole 5 for connecting the source electrode lines 7a, 7b formed later and the black matrix 3 is formed, the pixel electrodes 9a, 9b are formed. Subsequently, the source electrode lines 7a, 7b and the drain electrode 8 are formed. Thus, the black matrix 3 is connected to the source electrode lines 7a, 7b. Accordingly, the capacity between the source electrode line and the black matrix, which has caused the problem in the conventional TFT

array substrate, is not formed, so that a source signal is not delayed. The black matrix 3 serves as redundant wiring of the source electrode lines 7a, 7b. That is, even when the source electrode lines 7a, 7b break, the source signal is transmitted through the black matrix. Lastly, the overcoat 10 is formed to complete the TFT array substrate. Although the description deals with the case of forming the TFT array substrate using the channel etch type TFT, a channel protective type TFT may be used.

[0029]

The black matrix of the TFT array substrate formed as described above is at the same potential as the source electrode line, and an overlap capacity is not formed in a space up to the source electrode not to delay the source signal. The black matrix also serves as the redundant wiring of the source electrode lines, which will produce the effect of reducing display failure of the liquid crystal display device due to breakage of the source electrode lines.

[0030]

Embodiment 2. Another embodiment of a TFT array substrate according to the invention will now be described.

[0031]

Fig. 3 is a plan view showing another embodiment of a TFT array substrate according to the invention. Fig. 3 shows the TFT array substrate for one pixel and its peripheral part.

Fig. 4 is a sectional view taken along line B - B of Fig. 3. In Figs. 3 and 4, the same parts as those of Fig. 1, Fig. 2, Fig. 5 and Fig. 6 are designated using the same reference numerals.

[0032]

The difference between the TFT array substrate shown in the embodiment 1 and the TFT array substrate in the present embodiment is that an overcoat is provided under the pixel electrode.

[0033]

A method of manufacturing the TFT array substrate of the present embodiment will now be described. First the gate electrode lines 2a, 2b having a single layer structure of Cr or a multi-layer structure of Cr and Al is formed on the insulating substrate 1. At the time, the black matrix 3 is simultaneously formed under the source electrode line and below the peripheral part of the pixel electrode formed later except the part where the gate electrode lines 2a, 2b are formed. Further, the gate insulating film 4, the non-doped amorphous silicon layer (not shown) and the contact layer 6 are formed. The contact layer 6 and the non-doped amorphous silicon layer are patterned like an island. Further, the insulating film contact hole 5 for connecting the source electrode line formed later and the black matrix is formed. Subsequently, the source electrode lines 7a, 7b and the drain electrode 8 are formed. Thus, the black

matrix 3 is connected to the source electrode lines 7a, 7b. Accordingly, the capacity is not formed between the source electrode lines 7a, 7b and the black matrix 3, so that a source signal is not delayed. Further, the black matrix also serves as the redundant wiring of the source electrode lines 7a, 7b. That is, even when breaking is caused in the source electrode lines 7a, 7b, the source signal is transmitted through the black matrix. Subsequently, the overcoat 10 is deposited, and after the overcoat contact hole 11 is formed above the drain electrode 8, the pixel electrodes 9a, 9b are formed to complete the TFT array substrate. Although the description deals with the case of forming the TFT substrate using the channel etch type TFT in here, a channel protective type TFT may be used.

[0034]

The black matrix of the TFT array substrate formed as described above has not only the effect of the TFT array substrate shown in the embodiment 1 but also an effect of reducing the capacity formed between the pixel electrode and the source electrode line, restraining a change in potential of the pixel electrode due to the variation of the voltage of the source signal, and improving the display quality of the liquid crystal display device because two layers of insulating films, that is, the gate insulating film and the overcoat, are formed between the pixel electrode and the black matrix.

[0035]

In the above embodiments 1, 2, preferably the black matrix is formed of one selected from chrome, molybdenum, aluminum, tantalum, tungsten, and titanium, and formed using the same material as the gate electrode line. Further, most preferably chrome is used for forming the black matrix when we consider that hillock is not caused, and the resistance is comparatively low. Further, preferably the source electrode line is formed of either a single layer film made of one selected from chrome, molybdenum, tantalum, titanium and aluminum, or a multi-layer film made of at least two out of the above metals. Further, most preferably molybdenum is used for forming the source electrode line when we consider that hillock is not caused, and the resistance is low.

[0036]

[Advantage of the Invention]

According to the invention, in the TFT array substrate, the black matrix is at the same potential as the source electrode line, and delay of the source signal due to overlap capacity formed in a space up to the source electrode line is not caused. Further, the black matrix also serves as the redundant wiring of the source electrode line, so that it is effective for reducing breaking of wire.

[0037]

Further, according to the embodiment 2, in the TFT array substrate, two layers of insulating films, that is, the gate

insulating film and the overcoat, are formed between the pixel electrode and the source electrode line, whereby the capacity formed between the pixel electrode and the source electrode line can be reduced, a change in potential of the pixel electrode caused by variation in voltage of the source signal can be restrained, and the display quality of the liquid crystal display device can be improved.

[Brief Description of the Drawings]

Fig. 1 is a plan view showing one embodiment of a TFT substrate according to the invention;

Fig. 2 is a sectional view taken along line A - A of Fig. 1;

Fig. 3 is a plan view showing another embodiment of a TFT array according to the invention;

Fig. 4 is a sectional view taken along line B - B of Fig. 3;

Fig. 5 is a plan view showing an example of the conventional TFT array substrate;

Fig. 6 is a sectional view taken along line C - C of Fig. 5;

Fig. 7 is a plan view showing another example of the conventional TFT array substrate; and

Fig. 8 is a sectional view taken along line D - D of Fig. 7.

[Description of the Reference Numerals and Signs]

1: insulating substrate  
2a, 2b: gate electrode line  
3: black matrix  
4: gate insulating film  
5: insulating film contact hole  
6: contact layer  
7a, 7b: source electrode line  
8: drain electrode  
9a, 9b: pixel electrode  
10: overcoat  
11: overcoat contact hole  
12: TFT

**FIGURE 1**

2a, 2b: GATE ELECTRODE LINE  
3: BLACK MATRIX  
5: INSULATING FILM CONTACT HOLE  
6: CONTACT LAYER  
7a, 7b: SOURCE ELECTRODE LINE  
8: DRAIN ELECTRODE  
9a, 9b: PIXEL ELECTRODE

**FIGURE 2**

1: INSULATING SUBSTRATE  
3: BLACK MATRIX  
4: GATE INSULATING FILM  
7a: SOURCE ELECTRODE LINE  
9a, 9b: PIXEL ELECTRODE  
10: OVERCOAT

**FIGURE 3**

2a, 2b: GATE ELECTRODE LINE  
3: BLACK MATRIX  
5: INSULATING FILM CONTACT HOLE  
6: CONTACT LAYER  
7a, 7b: SOURCE ELECTRODE LINE  
8: DRAIN ELECTRODE  
9a, 9b: PIXEL ELECTRODE

11: OVERCOAT CONTACT HOLE

FIGURE 4

1: INSULATING SUBSTRATE  
3: BLACK MATRIX  
4: GATE INSULATING FILM  
7a: SOURCE ELECTRODE LINE  
9a, 9b: PIXEL ELECTRODE  
10: OVERCOAT

FIGURE 5

2: GATE ELECTRODE LINE  
6: CONTACT LAYER  
7a, 7b: SOURCE ELECTRODE LINE  
8: DRAIN ELECTRODE  
9a, 9b: PIXEL ELECTRODE  
13: STORAGE CAPACITOR ELECTRODE LINE

FIGURE 6:

1: INSULATING SUBSTRATE  
4: GATE INSULATING FILM  
7a: SOURCE ELECTRODE LINE  
9a, 9b: PIXEL ELECTRODE  
10: OVERCOAT  
13: STORAGE CAPACITOR ELECTRODE LINE

**FIGURE 7**

2: GATE ELECTRODE LINE  
6: CONTACT LAYER  
7a, 7b: SOURCE ELECTRODE LINE  
8: DRAIN ELECTRODE  
9a, 9b: PIXEL ELECTRODE  
11: OVERCOAT CONTACT HOLE

**FIGURE 8**

1: INSULATING SUBSTRATE  
4: GATE INSULATING FILM  
7b: SOURCE ELECTRODE LINE  
9a, 9b: PIXEL ELECTRODE  
10: OVERCOAT

[Classification of Official Gazette]

Amendment under the provision of Patent Law Section 17(2)

[Section of Department]: Second Section of 6-th Department

[Issue Date]: February 9, 2001

[Publication Number of Patent Application]: Hei 10-239678

[Date of Publication of Application]: September 11, 1998

[Serial Number of year]: Publication Patent Official Gazette  
10-2397

[Application Number]: Hei 9-40803

[7-th Edition of International Patent Classification]

G02F 1/1335 500

G02B 5/00

G02F 1/1343

1/136 500

[FI]

G02F 1/1335 500

G02B 5/00 B

G02F 1/1343

1/136 500

[Amendment]

[Date of Submission]: October 7, 1999

[Amendment 1]

[Document Name of Object of Amendment]: Specification

[Column Name of Object of Amendment]: Claims

[Amendment Method]: Alteration

[Contents of Amendment]

[Claims]

[Claim 1] A thin film transistor array substrate, comprising: a transparent insulating substrate; a plurality of gate electrode lines arranged parallel on the insulating substrate; a gate insulating film covering the gate electrode lines; a plurality of source electrode lines intersecting the gate electrode lines through the gate insulating film; a thin film transistor provided in the intersecting part of the gate electrode line and the source electrode line; a pixel electrode formed of a transparent conductive film connected to a drain electrode of the thin film transistor; and a storage capacitor electrode opposite to the pixel electrode with the gate insulating film interposed between them to form the storage capacitor, wherein the thin film transistor array substrate includes a black matrix formed of the same material as the gate electrode line in the peripheral parts of the pixel electrodes and under the source electrode lines on the insulating substrate, and the black matrix is connected to the source electrode lines

by a contact hole formed in the gate insulating film.

[Claim 2] The thin film transistor array substrate according to claim 1, wherein the black matrix has a function of the source electrode line.

[Claim 3] The thin film transistor array substrate according to claim 1, wherein an overcoat is formed under the pixel electrode.

[Claim 4] The thin film transistor array substrate according to claim 1, wherein the black matrix is formed of one selected from chrome, molybdenum, aluminum, tantalum, tungsten, and titanium.

[Claim 5] The thin film transistor array substrate according to claim 1, wherein the source electrode line is formed of either a single layer film made of one selected from chrome, molybdenum, tantalum, titanium and aluminum or a multi-layer film made of at least two out of the metals.

[Amendment 2]

Document Name of Object of Amendment]: Specification

[Column Name of Object of Amendment]: 0020

[Amendment Method]: Obliteration